

AIRTIGHTLY SEALED ELECTRONIC PARTS

Patent Number: JP7283334
Publication date: 1995-10-27
Inventor(s): FUJII YASUO; others: 03
Applicant(s): MURATA MFG CO LTD
Requested Patent: ☐ JP7283334
Application Number: JP19940098159 19940411
Priority Number(s):
IPC Classification: H01L23/10; H01L23/02; H01L29/84
EC Classification:
Equivalents:

Abstract

PURPOSE:To reduce the size of airtightly sealed electric parts by constituting the parts in a three-dimensional mounting structure, to simplify the manufacturing process of the parts, to improve the yield of the parts, and to reduce the manufacturing cost of the parts.

CONSTITUTION:An element substrate 16 on which an element 3 is formed is put between an upper case 1 and lower case 2 and the element 3 is airtightly sealed with a sealing member 4 provided so as to surround an element forming area. In addition, a connecting means which electrically connects the element 3 to the outside is provided in the lower case 2.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁(JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 7 - 2 8 3 3 3 4

(43) 公開日 平成7年(1995)10月27日

(51) Int. Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H O I L	23/10	B		
	23/02	B		
	29/84	B		

審査請求 未請求 請求項の数 1

F D

(全 4 頁)

(21) 出願番号 特願平6-98159

(22) 出願日 平成6年(1994)4月11日

(71) 出願人 000006231

株式会社村田製作所

京都府長岡京市天神二丁目26番10号

(72) 発明者 藤井 康生

京都府長岡京市天神二丁目26番10号 株式

会社村田製作所内

(72) 発明者 竹内 雅樹

京都府長岡京市天神二丁目26番10号 株式

会社村田製作所内

(72) 発明者 伊豫田 友二

京都府長岡京市天神二丁目26番10号 株式

会社村田製作所内

(74) 代理人 弁理士 五十嵐 清

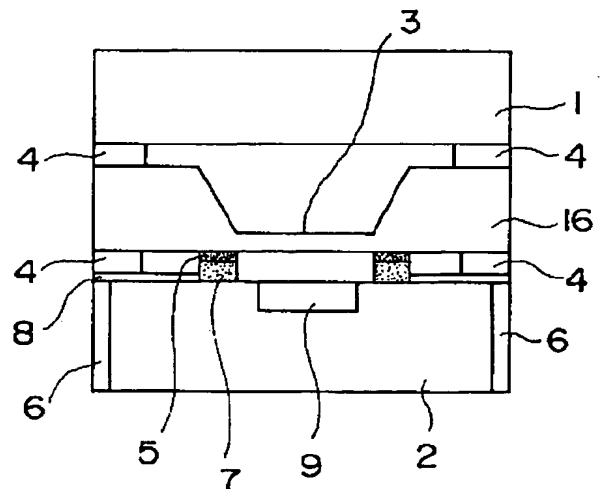
最終頁に続く

(54) 【発明の名称】 気密封止電子部品

(57) 【要約】

【目的】 立体実装構造による小型化を図り、製造工程の簡略化を図り、歩留まりを向上させ、製造コストを安くできる気密封止電子部品を提供する。

【構成】 素子3が形成されている素子基板16を上側ケース1と下側ケース2とで挟み、素子形成領域を囲むようにして設けられたシール部材4で素子3を気密封止し、下側ケース2には外部と素子3の導通接続手段を施す。



【特許請求の範囲】

【請求項1】 素子が形成されている素子基板が上側ケースと下側ケースによりサンドイッチ状に挟まれて一体化されている気密封止電子部品であって、素子基板と上側ケース間、および素子基板と下側ケース間にはそれぞれ素子基板の素子形成領域を囲繞してシール部材が介設され、このシール部材によって素子形成領域が気密封止されており、素子基板から下側ケースにかけて素子の導通接続導体が導出形成されている気密封止電子部品。

【発明の詳細な説明】**【0001】**

【産業上の利用分野】本発明は、素子を上側ケースと下側ケースとで気密封止する電子部品に関するものである。

【0002】

【従来の技術】気密封止を必要とする素子内蔵の電子部品は様々な形態を採り得るが、その一従来例を図4に示す。図4は、下側ケース（ベース）2に設置された素子3を上側ケース（キャップ）1と下側ケース2とで密封し、また、素子3が外部の回路等と導通接続するためにベース2に形成されたリード12と素子3とをボンディングワイヤ11を用い、ボンディングした構造である気密封止電子部品を示す。キャップ1やベース2は樹脂やアルミナ等の絶縁体で形成される。

【0003】また、図5は、気密封止電子部品に内蔵される素子3の一例であり、エッチング処理等により作製する固定電極13や可動電極14等で構成される振動型半導体素子（楕形電極構造）を示す。振動型半導体素子は、加速度センサまたは共振子または振動ジャイロ等で使用される。

【0004】さらに、図6は、図5のような素子3が複数個形成されているシリコン等の半導体基板（ウェハ）18であり、例えば直径4インチ（10.16 cm）、厚さ200 μm のサイズである。

【0005】前記ウェハ18上に形成された複数の素子3は切断線17に沿って切断（ダイシング）され、個々の素子3となる。

【0006】

【発明が解決しようとする課題】しかしながら、複数個の素子3が形成されたウェハ18を個々の素子3に分割する際、熱の発生を抑える為に冷却水をウェハ18上に注入しながら切断（ダイシング）を行うが、図5に表されるような微細な構造である素子3が冷却に必要な水圧において破壊されてしまう場合もあり、素子3の歩留まりが低下してしまうという問題がある。

【0007】また、個々に分割された素子3を個々にリード12等が形成されているベース2に設置し、ボンディングワイヤ11で素子3と多数のリード12を接続するという細かい作業があり、非常に作業能率が悪く、さらに気密封止電子部品の小型化が困難であるという問題があ

る。

【0008】本発明は上記従来の課題を解決するためになされたものであり、その目的は、複数個の素子3が形成されたウェハ18を個々の素子3に分割するダイシングの際、冷却水の水圧による素子3の破損を無くし、また、製造効率がよく、小型の表面実装気密封止電子部品を製造することで歩留まりを向上させ、製造コストを安くすることである。

【0009】

10 **【課題を解決するための手段】**上記目的を達成するために、本発明は次のように構成されている。すなわち、本発明は、素子が形成されている素子基板が上側ケースと下側ケースによりサンドイッチ状に挟まれて一体化されている気密封止電子部品であって、素子基板と上側ケース間、および素子基板と下側ケース間にはそれぞれ素子基板の素子形成領域を囲繞してシール部材が介設され、このシール部材によって素子形成領域が気密封止されており、素子基板から下側ケースにかけて素子の導通接続導体が導出形成されていることを特徴として構成されている。

【0010】

【作用】上記構成の本発明は、素子を形成している素子基板が上側ケースと下側ケースとでサンドイッチ状に挟まれ一体化されたものであって、素子基板と上側ケース間および素子基板と下側ケース間に各々素子基板の素子形成領域を囲繞するシール部材を介設することで素子形成領域が気密封止される。また、素子基板から下側ケースにかけて素子の導通接続導体が設けられており、素子が外部と導通接続する。

【0011】

30 **【実施例】**以下、本発明の実施例を図面に基づいて説明する。

【0012】図1は、本発明による気密封止電子部品の一実施例断面図である。図1における気密封止電子部品は、素子基板16を上側ケース1と下側ケース2でサンドイッチ状に挟み一体化されている。素子基板16はシリコン等の半導体基板であり、表面側には加速度センサや共振子等に使用される図5に示されるような振動型半導体素子が形成され、裏面側には素子3の電極5が設けられている。また、下側ケース2には、導通接続導体としてのスルーホール6および配線用の導体パターン8が施されており、素子3の電極5とスルーホール6および配線用の導体パターン8が半田バンプ7または金バンプを介して導通接続され、素子3が外部の回路等と導通接続されるようになっている。さらに、下側ケース2には、素子3（素子基板16）と下側ケース2が直接接触するのを防止するくぼみ9が形成されている。また、素子3を密封するために素子基板16と上側ケース1間、および素子基板16と下側ケース2間には素子領域3を囲繞する、例えば鉛ガラス等の低融点ガラス4がシール部材として介

設されている。

【0013】図2は、各々作製された素子基板16と上側ケース1と下側ケース2とを図1のように接合一体化する製造の一過程の断面を示す。素子基板16を形成するウェハ18には素子3が複数作製され、裏面側には電極5が設けられている。また、ウェハ18と同程度の大きさの基板（例えばシリコン基板）に上側ケース1となる部分が複数作製され、上側ケース1部分には素子3を囲むように低融点ガラス4が設けられており、同様にウェハ18と同程度の大きさの基板（例えばシリコン基板）に作製された下側ケース2部分にも低融点ガラス4が設けられている。さらに、下側ケース2部分には、素子3と外部を導通接続するスルーホール6および配線用の導体パターン8が形成されている。

【0014】まず、上側ケース1を形成する基板と下側ケース2を形成する基板とで素子基板3を形成するウェハ18を挟み、素子基板16に設けられた電極5とスルーホール6に配されている配線用の導体パターン8を半田バンプ7で導通接続する。

【0015】次に低融点ガラス4を融解し、次に凝固し、素子3を密封する。この際、3種の基板に熱をかけたり冷却したりするため、上側ケース1および下側ケース2は素子基板16と熱膨張係数が近い値の基板で形成される。

【0016】最後に、上述のように、上側ケース1と下側ケース2と素子基板16が一体化された基板を切断線17に沿って個々の部品へとダイシングにより分割し、気密封止電子部品が作製される。

【0017】従来例で、ベース2に設置するため複数個の素子3が形成されたウェハ18を個々の素子3に分割するダイシングの際、発熱を抑える冷却水の水压で微細な構造である素子3が破壊されてしまったが、本実施例では、素子基板16を上側ケース1と下側ケース2とで挟む構造のため、ダイシングを最後の工程にすることができ、冷却水が直接素子3に注がれることがなく素子3の破損がなくなる。

【0018】また、従来例では作業能率が悪く、また、煩多な工程のため歩留まりが低下し、製造コストが高くなっていたが、本実施例の気密封止電子部品は、ボンディングワイヤ11を使用せず、素子基板16の上側ケース1と下側ケース2とで挟み、ダイシングすることにより作製できるものであるために、作業の単純化および工程の簡略化が達成でき、これに伴い歩留まりが向上し、製造コストを安くすることができる。

【0019】さらに、リード12とボンディングワイヤ11を用い、素子3と外部とを導通接続する従来の方法では、素子3を設置する部分以外のリード12を設置する面積やボンディングワイヤ11を配する素子3とリード12間の間隔がベース12上に必要であり、製品の小型化が困難であった。しかし、本実施例はボンディングワイヤ11を

使用せず半田バンプ7等のスルーホール6を用いるものであり、従来例のようなリード12が外に突き出して嵩張ることもないので表面実装気密封止電子部品が小型化される。

【0020】図3は、本発明による気密封止電子部品の他の実施例である。なお、図1に示される実施例と同一の名称には同一符号を付し、その詳細な説明は省略する。図3に示される気密封止電子部品は下側ケース2が多層構造になっており、各層には必要に応じ回路パターン等が形成され、導電体が充填されているスルーホール（ビアホール）6を介して各層間が導通接続している。また、シール部材として絶縁体である低融点ガラス4ではなく導電性を有するクリーム半田10を用いており、前記クリーム半田10は、シール部材としてのみ用いられる場合もあり、また、仕様に応じシール部材として用いられているのと同時に素子3の電極5と下側ケース2に形成される回路等と導通接続する接続導電体として用いられる。

【0021】図3に示される実施例では、図1に示される実施例と同様な効果以外にも図3の気密封止電子部品の特徴である下側ケース2の多層構造により、各層に回路等を形成し、立体実装することも可能であるため、気密封止電子部品の小型化をさらに推進することができる。

【0022】なお、本発明は上記実施例に限定されることはなく、様々な実施の態様を採り得る。例えば、上記実施例の加速度センサ素子等の振動型半導体素子だけでなく、論理演算素子等の様々な半導体素子を用いることができる。

【0023】

【発明の効果】本発明によれば、素子が形成されている素子基板を上側ケースと下側ケースで挟み、素子が気密封止されているので、個々の部品に切断する際に冷却水が直接素子基板上に注入されることがなく、切断時における素子の破損がなくなり、かつ、製造工程が簡略化されることにより歩留まりが向上し、製造コストを安くすることができる。

【0024】また、素子基板から下側ケースにかけて素子の導通接続体が導出形成されており、製品の小型化を図ることができる。

【図面の簡単な説明】

【図1】本発明における気密封止電子部品の一実施例の断面を示す説明図である。

【図2】同実施例における気密封止電子部品製造の一過程を示す断面説明図である。

【図3】本発明における気密封止電子部品の他の実施例を示す説明図である。

【図4】従来例の気密封止電子部品を示す説明図である。

【図5】櫛形電極構造をもつ振動型半導体素子を示す説

明図である。

【図6】複数の素子が形成された基板を示す説明図である。

【符号の説明】

1 上側ケース

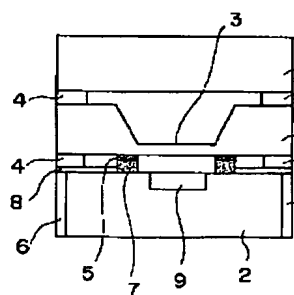
2 下側ケース

3 素子

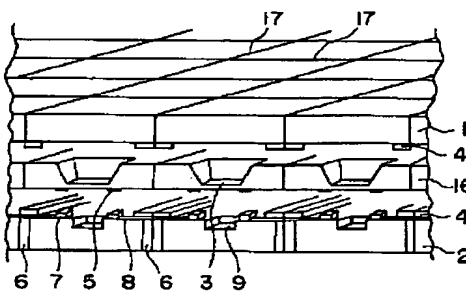
4 低融点ガラス

16 素子基板

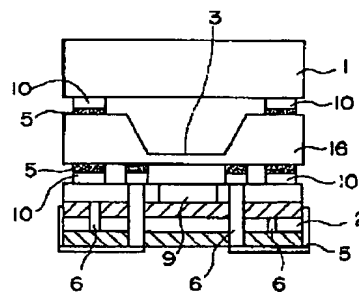
【図1】



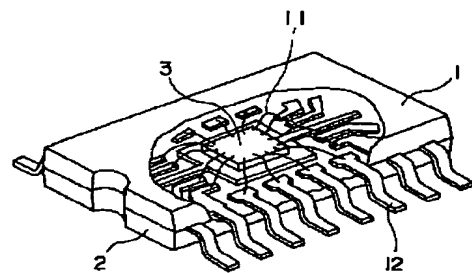
【図2】



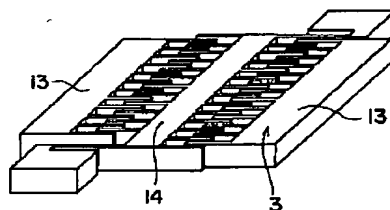
【図3】



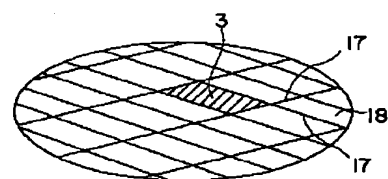
【図4】



【図5】



【図6】



フロントページの続き

(72)発明者 田中 克彦

京都府長岡京市天神二丁目26番10号 株式
会社村田製作所内